# 【한국공개특허공보제1996-23273호(1996.7.18공개,인용예2)】

공개독히 96-23273 1/3

# O대한민국특허청(KR) ⊙공 개 특 허 공 보(A)

© 10 B 29/06

제 1896 호

◎품개일차 1998. 7. 18◎출환입자 1995, 12. 16

①공개번호 96~23273 ②관원번호 95~51130

영우선권주장 Ø1994, 12. 16 영일본(JP)

심사청구 : 없음

② 발 명 자 아마자기 순메이 일본국 도쿄 157 세타가야쿠 7초에 기타야라스야마 21-21

사카마 미쯔노리 일본국 가나가와원 259-12 히라츠카시 기미키사와 1173

다계부라 야쓰히고 일본국 가나가와겐 263 아쓰기시 934-3 센 파이토 하라시다 202

② 합 원 인 가부시키가이사 함도오따이 에네쿠기 전략소 대표자 아마자까 순페이 일본국 가나가와전 아쓰기시 함세 398

② 대리인 변리사 활 의 한

(천 9 명)

## ② 결정심리은 반도체 및 박막트랜지스터의 제조방법

#### 40 장 함

박막도믿지스터등과 같은 반도계 소가의 격합한 복성을 나타내는 전경성 실디콘 막을 제공하도록 품라스마 CVD법, 열 CVD법과 같은 CVD법에 의해 유기판상에 산화실리콘막을 중차시키고, 그 산화실리콘막을 때기와 권촉시원이 없이 그 산화실리콘막상에 연속적으로 비경질실리콘막을 중차시킨다. 상기 비경질실리콘막을 나침과 같은 흑매성분을 청가하여 500 내지 600℃에서 어니일링시키는 것에 의해 결정화시킨다. 그 실리콘막상에 태이저비임을 조사하여 결정특성을 개선시킨다. 결정성 실리콘막내에서 흑매성분은 실리콘막아래의 산화실리콘으로 확산되고, 이에 따라 실립콘막내의 흑매성분의 농도가 저하된다. 이러한 결정성 실리콘막을 사용하여, 개선된 특성(특히 작은 으표전류)을 갖는 박막트인지스비와 같은 반도세소자가 얻어될 수 있다.

### 공기측터 98~25273 2/3

#### 목허청구의 범위

- 1. 결정성 실리콘반도되를 제조하는 방법에 있어서. (1) 접인면상에 산화실리콘막을 450℃ 미합의 온도에서 화학중확법(CVD법)에 의해 형성시키는 단계와. (2) 상기 산화실리콘막을 대기에 노출시킬이 없이 그 산화실리콘막상에 비경질실리콘막을 중착시키는 단계와. (3) 상기 비경질실리콘막을 가열하여 그 비경질실리콘막의 의 결정화를 촉진시키는 후때성분을 비경질실리콘막에 흔합시킹으로써 상기 비경질실리콘막의 일부 또는 전치를 결정화시키는 단계로 구성되는 것을 특징으로 하는 결정성 실리콘박도치의 제조박법.
- 2. 제1항에 있어서, 상기 흑매성분은 Ni, Pd. Pt. Cu. Ag. Au. In. Sn. P. As. Sb로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 특징으로 하는 결정성실의은 반도돼의 제조방법,
- 3. 제1학에 있어서, 상기 단계(2), (3)사이에, 상기 측대성분을 합유하는 확합불이 구성용때에 용해 또는 분산되어 있는 용액으로 비경질실리존박의 상당부분을 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 경 검성실리콘반도책의 제조방법.
- 4. 게3할에 있어서, 상기 국성용때에는 개면활성계가 혼합되어 있는 것을 투장으로 하는 건경성실리콘반도체 의 제조방법,
- 5. 제1항에 있어서, 상기 비정질실리존막의 중확은 450°C 이하의 온도에서 수행되는 것을 특징으로 하는 권장 실실리콘반도계의 제포방법.
- 6. 개1함에 있어서, 살기 결정화단계에 의해 촉매성분을 흡수한 산화실리문자을 어니힐링시키는 단계를 더욱 포함하는 것을 복원으로 하는 정정설실리콘반도책의 제조반법.
- 7. 제1함에 있어서, 상기 산화실리존학은 1,000 내지 5,000쇼의 두에로 형성되는 것을 작성으로 하는 결정성 실리콘반도관의 계조방법.
- 8. 제1항에 있어서, 심기 산화실리문막의 형성은 테르라 에루시 실만 및 산소를 원료가스로 사용하는 품다즈 마CVD법에 의해 수행되는 것을 특징으로 하는 건정성실리콘반도체의 제조방법.
- 9. 처음함에 있어서, 상기 테트라 예득시 실환에 트리용트로에밀렌이 혼합되는 것을 특징으로 하는 결정설설 디곤반도재의 제조방법,
- 10. 상기 비정질실리콘막의 중작은 모노실반을 원료가스로서 사용하는 폴라즈마CVD법에 의해 수행되는 것을 투장으로 하는 결정성실리콘반도자의 제조방법.
- 11. 제1합에 있어서, 상기 비정권실리근막의 가영은 권소분위기에서 500 내지 5800의 순도에서 수행되는 것을 특징으로 하는 결정성실리근막도체의 제조방법.
- 12 경경성 실리콘반도객을 제조하는 방법에 있어서, (1) 정연면상에 산화실리콘학을 450°C 이하의 온도에서 확학증착범(CVD법)에 의해 혁성시키는 단계와, (2) 상기 산화실리콘학을 테기와 노출시킴이 없이 그 산화실리콘학상에 비경결실리콘학을 증확시키는 단계와, (3) 상기 비경질실리콘학을 가열하여 그 비경질실리콘학 의 결정화를 촉진시키는 촉매성분을 비결질실리콘학에 흔합시켰으로써 상기 비경질실리콘학의 일부 또는 전쟁을 결정화시키는 단계와, (4) 상기 단계(3)에 의해 결정화된 실리콘학의 결정도를 개선시키도록 상기 실리콘학에 레이건공을 조사하는 단계로 구성되는 것을 특징으로 하는 결정생실리콘학도재의 제조학법,
- 15. 제13함에 있어서, 삼기 측대성분은 Ni, Pd, Pt, Cu, Ag, Au, In, Su, P, As, Sb로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 특징으로 하는 결정성실리콘반도재의 제조방법.
- 14. 제12학에 있어서, 삼기 단계(2). (3)사이에, 삼기 속에성분을 합유하는 화합물이 국성용대에 용해 또는 분산되어 있는 용데으로 비결권질리존막의 상망부분을 도모하는 단계를 더욱 포함하는 것을 특징으로 하는 결 결정실리존반도계의 제조방법.

공개특히 96-23273 3/3

15. 제14항에 있어서, 상기 국성용재에는 개변환성재가 혼합되어 있는 것을 목정으로 하는 건경설실리곤반도 채의 계조방법,

16. 결정성 실리콘반도치를 제조하는 방법에 있어서. (1) 정언전상에 산화실리콘판을 450°C 이하의 온도에서 화학중확법(CVD법)에 의해 형성시키는 단계와. (2) 상기 산화실리콘막을 대기와 노출시험이 없이 그 산화실리콘막상에 비견질실리콘막을 중확시키는 단계와. (3) 상기 비견질실리콘막을 가열하여 그 비경질실리콘막의 결정화를 촉진시키는 측매성분을 비견질실리콘막에 혼합시킨으로써 비견질실리콘막의 인부 또는 전체를 결정화시키는 단계와. (4) 상기 단계(3)후 하나이상의 실리콘설에 신리콘막은 폐터님하는 단계와. (5) 상기 실리콘설상에 계이트걸연막을 형성하는 단계와. (6) 상기 계이로절단막에 개이트전국을 형성하는 단계와. (7) 상기 게이로전국을 미스크로 사용하여 상기 실리콘설에 불순물을 주입하는 단계로 구성되는 것을 특징으로 하는 결정성실리콘박모래의 계존방법.

17. 제18항에 있어서, 상기 목대성분은 Ni, Pd. Pt. Cu. As, Au, In. Sn. P. As, Sh로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 폭쟁으로 하는 결정성실리콘반도체의 제조방법.

18. 제16함에 있어서, 상기 단계(2). (3)사이에, 상기 속에성분을 합유하는 화합물이 국성용에에 용해 또는 분산되어 있는 용에으로 비견집실리존막의 상당부분을 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 건 검성실리존만도재의 제조막실.

19. 제18할에 있어서, 상기 국성용대에는 계면활성제가 혼합되어 있는 것을 독성으로 하는 결정성실리콘반도 책의 제조방법.

20. 제16항에 있어서, 상기 비정권실리콘막의 중작은 650°C 이하의 온도에서 수랜되는 것을 특징으로 하는 경정성실리콘막도계의 제조방법.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

				•
				•
	Ø:			
	•			
				•
•				

# MANUFACTURE OF CRYSTAL SILICON SEMICONDUCTOR

Patent Number:

JP8264441

Publication date:

1996-10-11

Inventor(s):

YAMAZAKI SHUNPEI;; SAKAMA MITSUNORI;; TAKEMURA YASUHIKO

Applicant(s):

SEMICONDUCTOR ENERGY LAB CO LTD

Requested Patent: JP8264441

Application

Number:

JP19950346701 19951212

**Priority Number** 

(s):

IPC Classification: H01L21/20; H01L21/205; H01L21/268; H01L21/316; H01L21/324; H01L27/12;

H01L29/786; H01L21/336

EC Classification:

Equivalents:

#### **Abstract**

PURPOSE: To reduce variations in the off-current of TFT and the value of the off-current of each element by depositing an amorphous silicon film on a silicon oxide film, formed on an insulating surface at a specified temperature, without exposing the silicon oxide film to the atmosphere, adding a catalyst element to accelerate the crystallization of the deposited film, and thereby crystallizing the amorphous silicon film.

CONSTITUTION: A silicon oxide film 102 is formed on a substrate 101 at a temperature of 450 deg.C or below (e.g., 250 deg.C). Subsequently, an amorphous silicon film 103 is formed by plasma CVD without exposing the surface of the silicon oxide film 102 to the atmosphere. Thereafter, a silicon oxide film 104 to be a mask is formed, and a slit is formed in the silicon oxide film 104 to locally expose the amorphous silicon film 103. A very thin silicon oxide film is formed the exposed portion of the amorphous silicon film 103. A nickel salt solution is applied to form a nickel catalyst layer 105 on the exposed face of the amorphous silicon film 103. A heat treatment is performed in a nitrogen atmosphere, and the crystallization is thereby initiated at the slit in the silicon oxide film 104 to obtain crystallized silicon regions 106, 107.

Data supplied from the esp@cenet database - I2

•	. •	-
		ę.
	•	
		•
	•	